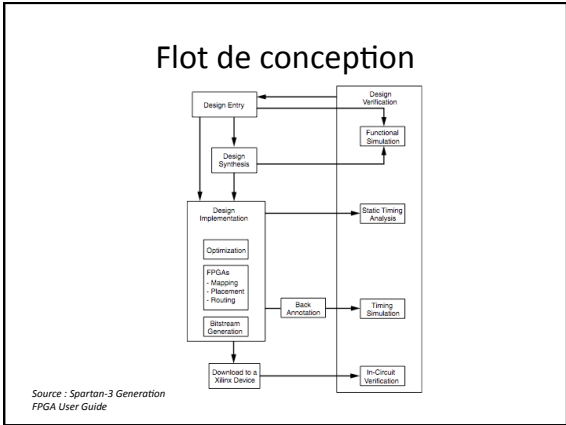


Cours 3 : Flot de conception et FPGA

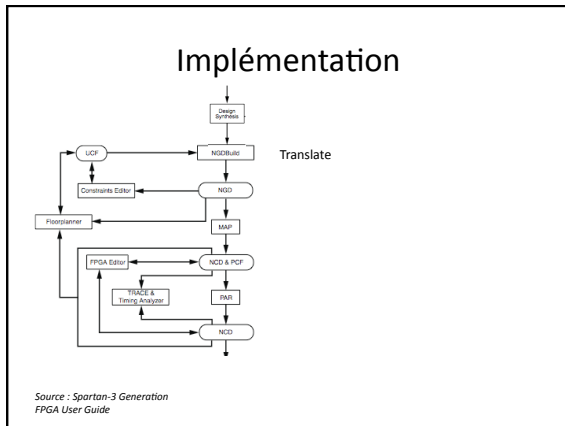
Architecture 2 - Ensimag



La synthèse

- Entrée : Description du circuit
 - Schéma
 - Langage de description (exemple VHDL)
 - Bibliothèque
- Sortie:
 - Netlist : liste des « pistes » interconnectant des composants de base (simplification des équations si besoin)

Source : Spartan-3 Generation FPGA User Guide



Translate : « Traduction »

- Entrée : netlist
- Sortie : Design logic (NGD : Native Generic Database)
 - ET, OU, decodeurs, flip-flops, RAMS
- Etapes
 - Lire les netlists
 - Traduire les composants en composants élémentaires « natifs »
 - Vérifier la validité de ce qui est généré
 - Ecrire NGD

Mapping

- Entrée : Design logic
- Sortie : Native Circuit description (NCD)
- Etapes
 - Selects the target Xilinx device, package, and speed.
 - Reads the information in the input design file.
 - Performs a Logical DRC (Design Rule Check) on the input design. If any DRC errors are detected, the MAP run is aborted. If any DRC warnings are detected, the warnings are reported, but MAP continues to run.
 - Removes unused logic, where all unused components and nets are removed.
 - Maps pads and their associated logic into IOBs.
 - Maps the logic into Xilinx components (IOBs, CLBs, etc.). If any Xilinx mapping control symbols appear in the design hierarchy of the input file, MAP uses the existing mapping of these components in preference to re-mapping them. The mapping is influenced by various constraints.
 - Updates the information received from the input NGD file and writes this updated information into an NGM file. This NGM file contains both logical information about the design and physical information about how the design was mapped. The NGM file is used only for back-annotation.
 - Creates a physical constraints (PCF) file. This text file contains any constraints specified during design entry, if no constraints were specified during design entry, an empty file is created so that you can enter constraints directly into the file using a text editor.
 - Runs a physical Design Rule Check (DRC) on the mapped design. If DRC errors are found, MAP does not write an NCD file.
 - Creates an NCD file, which represents the physical design. The NCD file describes the design in terms of Xilinx components (CLBs, IOBs, and so forth).
 - Writes a MAP report (MAP) file, which lists any errors or warnings found in the design, details how the design was mapped, and supplies statistics about component usage in the mapped design.

Placement/Routage

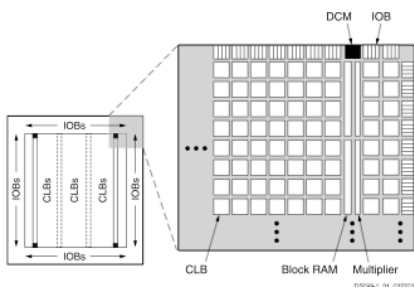
- Entree : NCD
- Sortie : description du FPGA (interconnexions et blocs utilisés).

FPGA

Field Programmable Gate Arrays
= réseaux logiques programmables

- IOB : Blocs entrée/sortie pour les connexions avec l'extérieur configurables.
- DCM : Contrôleur d'horloge paramétrable (Digital Clock Manager)
- Macroblocs internes (exemple : mémoires Block RAM, Multiplieurs, Processeurs, ...)
- Logique élémentaire configurable :
 - LUT (Lookup Table)
 - Décodeurs
 - Multiplexeurs
 - Flip-Flop
 - ...

FPGA : Structure interne (exemple du SPARTAN 3)



Réseau d'interconnexion

A partir de transistors ou de Multiplexeurs:
commandés par des :
- « Fusible »
- EPROM, EEPROM, Flash
- SRAM

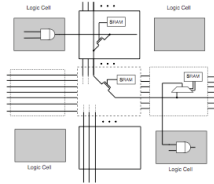
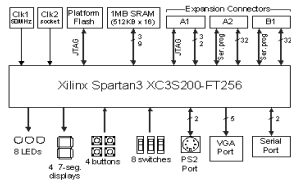


Figure 5 - SRAM-controlled Programmable Switches.

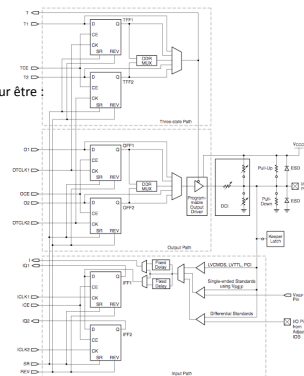
Configuration

- SRAM contient la configuration
- Programmé par un JTAG (Joint Test Action Group IEEE 1149.1)
- Possibilité de charger la configuration à partir d'une EPROM



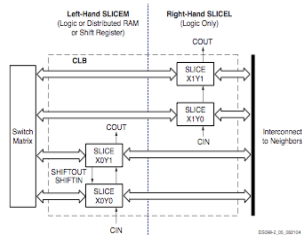
IOB

Chaque port peut être configuré pour être :
-Soit une entrée
-Soit une sortie
-Soit une entrée/sortie (bidirectionnel avec sortie 3 états)
-Sortie d'une bascule
-Entrée d'une bascule
-...

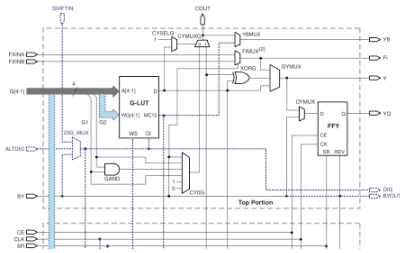


CLB : Configurable Logic Bloc

- 4 SLICES + accès au réseau d'interconnexion



SLICE



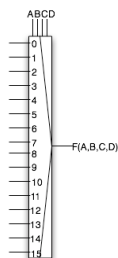
G-LUT : Table de vérité ou une mémoire 16bits ou un registre à décalage 16 bits

LUT : Lookup table

LUT : Implémentation directe d'une table de vérité

-> Remplir une mémoire avec la table de vérité:
Réalise le circuit logique correspondant

Exercice :
Comment remplir la mémoire pour avoir l'équation
 $F(A,B,C,D) = A/B \cdot C/D + A \cdot C \cdot D + A/D$



Quelques chiffres.

Table 1: Summary of Spartan-3 FPGA Attributes

Device	System Gates	Equivalent Logic Cells ¹	CLB Array			Distributed RAM Bits (K=1024)	Block RAM Bits (K=1024)	Dedicated Multipliers	DCMs	Maximum User I/O	Maximum Differential I/O Pairs
			Rows	Columns	Total CLBs						
XC3S50 ²	50K	1,728	16	12	192	12K	72K	4	2	124	56
XC3S200 ²	200K	4,320	24	20	480	30K	216K	12	4	173	76
XC3S400 ²	400K	8,064	32	28	896	58K	288K	16	4	264	118
XC3S1000 ²	1M	17,280	48	40	1,920	120K	432K	24	4	391	175
XC3S1500	1.5M	29,952	64	52	3,328	208K	576K	32	4	487	221
XC3S2000	2M	46,080	80	64	5,120	320K	720K	40	4	565	270
XC3S4000	4M	82,208	96	72	6,912	432K	1,728K	96	4	633	300
XC3S5000	5M	74,880	104	80	8,320	520K	1,872K	104	4	633	300

Exercice

- Code d'un additionneur 16 bits avec flags
 - Z, COUT, OVF, S
- Résultat de la synthèse ?
- Résultat après Placement/routage.
 - Comment est configuré la patte A(0)?
 - Comment est configuré la patte OVF?
 - Comment est implémenté (CLB) OVF?
 - Comment est implémenté (CLB) Sinterne(1)?
