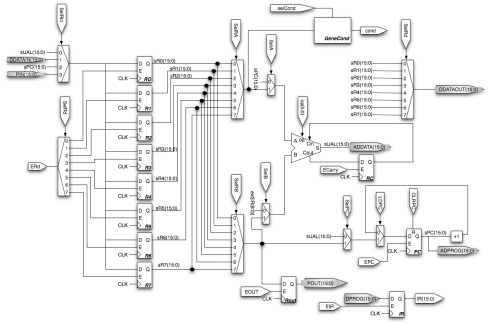
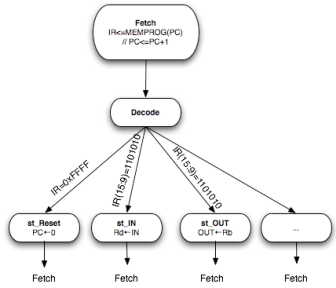
Retour sur la mise au point dans le projet

Sera mis en ligne dans la partie Projet

Chemin de données (PO)



Machine à état fini (FSM ou PC)



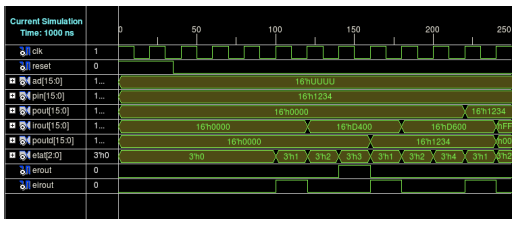
Code registre 1

```
entity Reg is
  Port ( D : in std_logic_vector(15 downto 0);
       Q : out std_logic_vector(15 downto 0);
        CLK,E,RST : in std_logic);
end Reg;
architecture Behavioral of Reg is
Begin

 process (CLK,RST)
 begin
  IF (RST='1') THEN
       Q<=(others=>'0');
  ELSIF (CLK'event and CLK='1') then
   IF (E='1') THEN
       Q<=D;
   END IF;
  END IF;
end process;
end Behavioral;
```

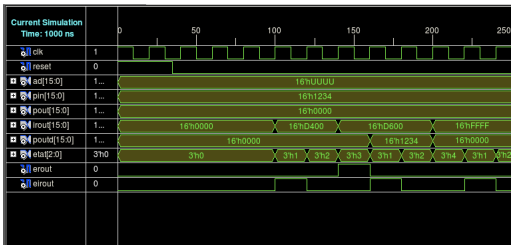
Code registre 2

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity RegFaux is
    Port ( D : in  STD_LOGIC_VECTOR (15 downto 0);
        Q : out  STD_LOGIC_VECTOR (15 downto 0);
        CLK : in  STD_LOGIC;
        E : in  STD_LOGIC);
end RegFaux;

architecture Behavioral of RegFaux is

begin
        process (CLK)
        begin
                IF (CLK'event and CLK='1') then
                  if (E='1') then
                          Q<=D;
                  end if;
                end if;
        end process;
end Behavioral;
```

Avec IR reg 1 : Post simulation



Avec IR reg 2 : Post simulation



Pourquoi?

- Cf synthèse :
  - Reg2 : IR est traduit en RAM synchrone avec activation :
    - Bug : Activation est toujours à 1…
  - Reg 1 : IR est traduit avec un registre

Conclusion

1. Simuler : Behavorial
2. Si ok : Test sur carte
3. Sinon Simuler après placement routage
   1. si ok vérifier
      1. Affectation des pattes
      2. Les branchements
      3. Essayer avec une fréquence plus faible
   2. Sinon
      1. Essayer d'isoler le problème
      2. Sortir des signaux intermédiaires
      3. Regarder le travail fait au niveau de la synthèse, puis du placement routage (bug de traduction possible, ou impossibilité de traduire le comportement). Etre attentif aux registres internes