

Conception de circuits numériques et architecture des ordinateurs

Frédéric Pétrot et Sébastien Viardot



Année universitaire 2009-2010

- C1 Codage des nombres en base 2, logique booléenne, circuits combinatoires
- C2 Optimisation combinatoire, circuits séquentiels
- C3 Circuits séquentiels, suite
- C4 Construction circuits complexes
- C5 Machines à état
- C6 Synthèse de circuits PC/PO
- C7 Synthèse de circuits PC/PO
- C8 Conception de circuits élémentaires CMOS
- C9 Micro-architecture et fonctionnement des mémoires
- C10 Interprétation d'instructions
- C11 Interprétation d'instructions
- C12 Interprétation d'instructions

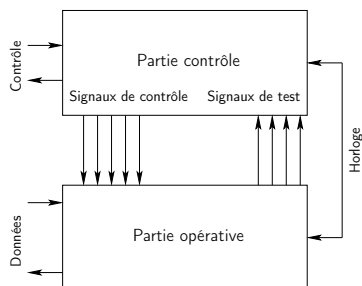
Plan détaillé du cours d'aujourd'hui

- 1 Processeur et jeu d'instruction
 - Introduction
 - Construction de la PO

Plan

- 1 Processeur et jeu d'instruction
 - Introduction
 - Construction de la PO

Introduction

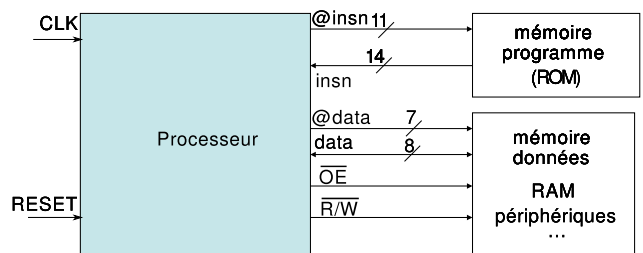


Implantation d'un jeu d'instruction

- PO : réalise tous les transferts attendus
- PC : indique le séquençement de l'interprétation

ISA exemple : PIC 16F84

Petit processeur exotique mais très répandu !



Registres

- PC* , pointeur d'instruction, sur 11 bits
- IR* , registre instruction, sur 14 bits
- W* , accumulateur, sur 8 bits
- reg* , 68 registres à usage général, 8 bits (en fait 128)
- FSR* , registre d'accès indirect
- STATUS* , registre d'état

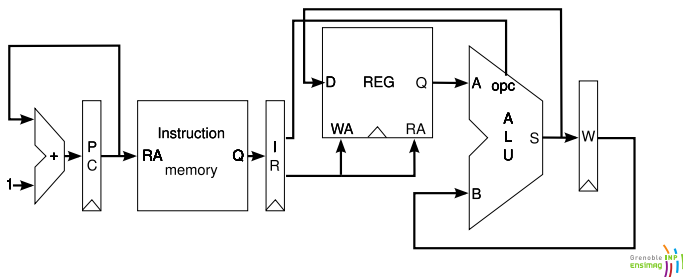
Instructions : 4 formats de IR

Instructions sur les octets				Instructions avec constantes			
13-12	11-8	7	6-0	13-12	11-0	7-0	
00	OPCODE	d	f	11	OPCODE	k	
<i>d</i> = 0, résultat dans <i>W</i>				<i>k</i> constante sur 8 bits			
<i>d</i> = 1, résultat dans <i>reg[f]</i>				Instructions de saut			
13-12	11-10	9-7	6-0	13-12	11	10-0	
10	OPCODE	b	f	10	x	k	

Instruction	codage
ADDWF f, d	00 0111 dfff ffff
ANDWF f, d	00 0101 dfff ffff
BCF f, d	01 00bb bfff ffff
BSF f, d	01 01bb bfff ffff
CLRF f	00 0001 1fff ffff
CLRW	00 0001 0xxx xxxx
COMF f, d	00 1001 dfff ffff
DECF f, d	00 0011 dfff ffff
INCF f, d	00 1010 dfff ffff
IORWF f, d	00 0100 dfff ffff
MOVF f, d	00 1000 dfff ffff
MOVWF f	00 0000 1fff ffff
NOP	00 0000 0xxx 0000
RLF f, d	00 1101 dfff ffff
RRF f, d	00 1100 dfff ffff
SUBWF f, d	00 0010 dfff ffff
SWAPF f, d	00 1110 dfff ffff
XORWF f, d	00 0110 dfff ffff

- Bits 11 à 8 : utiles au calcul du codop ALU
- Bit 7 : indique la destination, soit *w*, soit *reg[f]*
- ISA mixte : « 2-adresses »/accumulateur
- Cas 00 0000 0 exotique : non orthogonalité
 - RETFIE 00 0000 0000 1001
 - RETURN 00 0000 0000 1000

Réalisation des transferts élémentaires attendus
 Mémoire programme indexée par *PC* produisant *IR*
 Opérandes sources *W* et *reg[f]*
IR donne *opc* et *f* (entre autres)



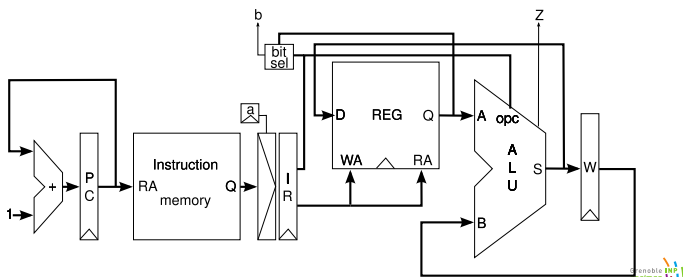
Instructions annulant l'instruction suivante !

Instruction	codage
BTFCH f, d	01 00bb bfff ffff
BTFSS f, d	01 01bb bfff ffff
DECFSZ f, d	00 1011 dfff ffff
INCFSSZ f, d	00 1111 dfff ffff

- si *reg[f] < b* est vrai/faux
 - si résultat de *reg[f] ± 1 = 0*
- ⇒ l'instruction suivante est un NOP

Impact sur la PO ?

- 1 *flag* indiquant si le résultat vaut 0
- 2 sélection d'un bit parmi 8
- 3 remplacer ce qui sort de *IR* par un NOP



Opérations utilisant une constante présente dans *IR*
 Écrivant leur résultat dans *W*

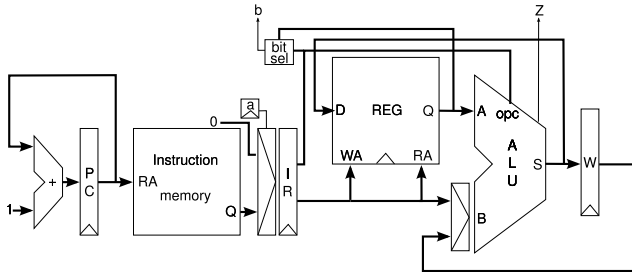
Instruction	codage
ADDLW k	11 111x kkkk kkkk
ANDLW k	11 1001 kkkk kkkk
IORLW k	11 1000 kkkk kkkk
MOVLW k	11 00xx kkkk kkkk
SUBLW k	11 110x kkkk kkkk
XORLW k	11 1010 kkkk kkkk

L signifie *literal*, aussi appelé *im-médiat*

Impact sur la PO ?

Ajout à la PO précédente

1 ajout d'un mux en entrée de l'ALU



Détail des instructions de déroutement

Opérations utilisant une constante présente dans IR
Écrivant leur résultat dans W

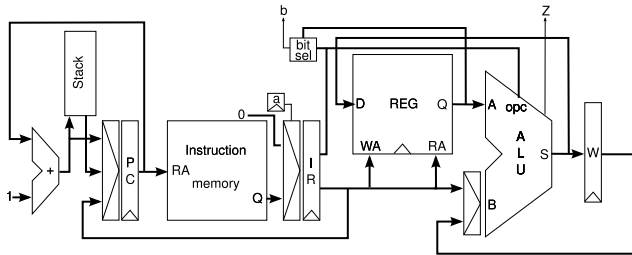
Instruction	codage
CALL k	10 0kkk kkkk kkkk
GOTO k	10 1kkk kkkk kkkk
RETLW k	11 01xx kkkk kkkk
RETFIE	00 0000 0000 1001
RETURN	00 0000 0000 1000

- pointeur de pile implicite, pile de 8 adresses
- pas de *push* ni de *pop*
- uniquement pour les appels/retours de fonctions

Impact sur la PO ?

Ajout à la PO précédente

- 1 ajout d'une pile de 8 éléments de 11 bits
- 2 mux en entrée de PC



Finalisation de la PO

Ajout des signaux de contrôle

- 1 signaux de set/reset des registres qui l'exigent
- 2 autorisation d'écriture sur les différents registres
- 3 sélection des multiplexeurs
- 4 signal push et pop de la pile

Ajout des signaux d'information vers la PC

- 1 parties de IR, par ex. signal *d*
- 2 Z, b, autres flags non présentés ici